

Abridged Translation of Citation 2:

Japanese Patent Application Public-disclosure No. 6-326748

Japanese Patent Application Public-disclosure date: November 25, 1994

Title of the invention: Data communication device

Japanese Patent Application No. 4-262680

Japanese Patent Application date: September 5, 1986

[Industrial field of the invention]

The present invention is directed to a data communication device.

[Overview of the invention]

The present invention provides a data communication device that counts the number of occurrences of transmit data transmission suspensions caused by a delay in data processing on the receiving side and variably controls capacity of a buffer on the receiving side in accordance with the result of the count, whereby transmission/reception in data communications can be efficiently conducted.

[Prior art]

In a prior art conventional data communication device, at the beginning of data transmission/reception, the receiving side first transmits a start code to the transmitting side, and then the transmitting side starts transmitting data in response to the start code. When a time for data processing (processing such as data character conversion, error check, write to an external storage such as a FDD or the like) on the receiving side becomes slower than a data transmission speed during transmission of data, and a capacity of a buffer on the receiving side is exhausted, the receiving side transmits a transfer off signal to the transmission side to temporarily suspend the data transmission, and if the buffer comes to have some room as a result of data processing, the receiving side transmits a transfer on signal and starts data transmission.

[Problems to be solved by the invention]

In this case, a user sets a baud rate of a transmitter-receiver based on his (her) experience when transmitting/receiving data. However, when data processing on the receiving side is slow, a transfer off signal is often generated despite data being transmitted at a high baud rate and as a result, data transmission takes longer than when data is transmitted at a lower baud rate with fewer transmission suspensions. Therefore, the object of the present invention is to efficiently conduct

data transmission/reception by counting the number of occurrences of transmission suspensions and controlling the receiving side to be in an optimum state in accordance with the count result.

[Means for solving the problems]

The means of the present invention are as follows. Fig. 1 is a functional block diagram of the present invention. In the drawing, the numeral 1 denotes a transmission means provided with a transmitter or the like; 2 a receiving means provided with a receiver or the like to conduct data communication with the transmission means 1; 3 a counting means for counting the number of occurrences of data transmission suspensions caused by a delay of a processing speed of the receiving means 2; and 4 a control means for changing a capacity of a buffer of the receiving means 2 in accordance with the counting result by the counting means 3.

[Operation]

An operation of the means of the present invention will be described as follows. When the transmission means 1 is transmitting data to the receiving means 2 that conducts data communications with the transmission means 1, if the receiving means 2 transmits a transmission suspension signal to the transmission means 1 due to delay in data processing by the receiving means 2 or the like, the signal is counted by the counting means 3. The data transmission suspension continues until the receiving means 2 transmits a canceling signal to the transmission means 1. The counting means 3 provides the counting result to the control means 4, which assesses the counting result and controls the receiving means 2 to vary a capacity of its buffer, whereby data is efficiently transmitted/received at an optimum speed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326748

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/08		9371-5K	H 0 4 L 13/ 00	3 0 7 Z

審査請求 有 発明の数 1 F D (全 7 頁)

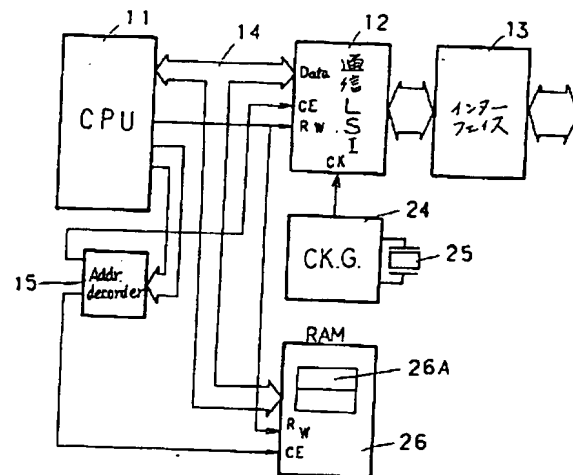
(21) 出願番号	特願平4-262680	(71) 出願人	000001443
	実願平4-56981の変更		カシオ計算機株式会社
(22) 出願日	昭和61年(1986)9月5日		東京都新宿区西新宿2丁目6番1号
		(72) 発明者	春原 一義
			東京都羽村市栄町3丁目2番1号 カシオ
			計算機株式会社羽村技術センター内
		(74) 代理人	弁理士 杉村 次郎

(54) 【発明の名称】 データ通信装置

(57) 【要約】

【目的】 送信一時休止状態の発生をカウントして、そのカウント結果に応じ受信側を最適な状態に制御することにより、効率よくデータ送受信が行なえるようにする。

【構成】 クロックジェネレータ24からの一定周波数のクロックが通信LSI12のCK端子に供給されている。また、RAM26はCPU11によって受信データ等をリード/ライトされるRAMであり、その構成は通信用バッファ、FDD等からなる。通信用バッファは、受信バッファであり、送信されてくるデータファイルの容量に対し空きエリアが存在するようにその容量が設定されている。そして、この通信用バッファの容量はデータ送信の一時休止信号を意味する転送のOFF信号の発生率に応じてCPU11により可変制御される。



【特許請求の範囲】

【請求項1】 送信手段と、

この送信手段との間でデータ通信が行なわれる受信手段と、

この受信手段で生じる送信データの送信一時休止状態の発生をカウントするカウント手段と、

前記受信手段において、前記カウント手段のカウント結果に応じバッファの容量を可変制御する制御手段とを備えてなるデータ通信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデータ通信装置に関する。

【0002】

【発明の概要】本発明は、受信側でのデータ処理の遅れによって発生する送信データの送信一時休止状態の発生をカウントしてそのカウント結果に応じ、受信側のバッファの容量を可変制御することにより、効率よくデータ通信の送受信が行えるデータ通信装置である。

【0003】

【従来の技術】従来、データ通信装置においては、データの送受信の開始に際し、受信側が先ず、スタートコードを送信側に送信し、次いでこれに応じて送信側がデータの送信を開始するようになっている。そしてデータの送信中に、受信側でのデータ処理（データのキャラクタ変換やエラーチェック、FDD等の外部記憶装置への書込み等の処理）時間がデータ送信スピードより遅くなり、受信側のバッファが容量不足になったときには、受信側は送信側に転送オフ信号を送信してデータ送信を一時休止させ、またその後データ処理によってバッファに余裕ができると、受信側は転送オン信号を送信してデータ送信を開始させるようになっている。

【0004】

【発明が解決しようとする課題】この場合、データの送受信に際して、送受信機のボーレートをユーザが経験的に設定しているが、受信側でのデータ処理が遅い場合には、速いボーレートでデータを送信しているにもかかわらず、しばしば転送オフ信号が発生して、結果的に遅いボーレートによって送信の一時休止を少なくデータを送信している場合より、却ってデータ送信に時間がかかってしまうという問題があった。本発明の課題は、送信一時休止状態の発生をカウントしてそのカウント結果に応じ受信側を最適な状態に制御することにより、効率よくデータ送受信が行えるようにすることである。

【0005】

【課題を解決するための手段】本発明の手段は以下の通りである。図1は本発明の機能ブロック図である。同図において、1は送信機等を備えた送信手段で、2は受信機等を備えて送信手段1との間でデータ通信が行なわれる受信手段である。3はカウント手段で、受信手段2の

処理スピードの遅れに伴って生じるデータ送信の一時休止状態の発生をカウントする。4はこのカウント手段3のカウント結果に応じて、受信手段1に対し、そのバッファの容量を変化させる制御手段である。

【0006】

【作 用】本発明の手段の作用は以下の通りである。送信手段1が、この送信手段1との間でデータ通信が行なわれる受信手段2にデータを送信している際、受信手段2のデータ処理の遅れ等から、受信手段2が送信手段1に対し送信の一時休止信号を送信すると、この信号はカウント手段3によってカウントされる。そしてデータの一時休止は、次に受信手段2が送信手段1に対し解除信号を送信するまで続行する。カウント手段3のカウント結果は制御手段4に与えられ、而して制御手段4はそのカウント結果を判断して、受信手段2に対し、バッファの容量を変化させる制御を行い、最適なスピードで効率よくデータの送受信が行われる。

【0007】

【第1実施例】以下、図2ないし図4を参照して本発明の第1実施例を説明する。

【0008】構 成

図2は、送信装置および受信装置の要部の回路構成図である。この場合、この要部の回路構成は、送信装置と受信装置で同一である。いま、図2の回路を送信装置とすると、CPU11はこの送信装置の全動作を制御する制御プログラム、演算回路等から成り、装置内の各回路に各制御信号やデータを供給する。

【0009】通信LSI12はCPU11の制御下に、受信装置へデータを送信し、また受信装置からのXOFF信号（一時休止信号を意味する転送OFF信号）、XON信号（データ送信の一時休止の解除信号）を受信する回路である。この場合、前記データや信号は、インターフェース13を介し受信装置間で送受信される。そして通信LSI12は、CPU11からデータバス14を介しデータが供給され、またCPU11からR/W（リード/ライト）制御信号が供給される。

【0010】アドレスデコーダ15はCPU11からのアドレスデータを解読するデコーダであり、その出力信号の1つは通信LSI12のCE端子にチップイネーブル信号として供給され、また他の信号はラッチ16のCK端子にクロックとして供給される。このラッチ16には、CPU11からのデータがデータバス14を介し供給される。そしてラッチ16は供給されたデータの内容に応じ、何れかが“1”信号となる信号A、B、C、Dを出力する。

【0011】信号A、B、C、Dは夫々、対応するアンドゲート17、18、19、20の各一端に入力する。アンドゲート17、18、19、20の各他端には、水晶発振器25を備えたクロックジェネレータ24が出力する9600ボー、4800ボー、2400ボー、12

00ボーの各周波数をもったクロックが入力する。そしてアンドゲート17、18の各出力信号はオアゲート21を介しオアゲート23に入力し、またアンドゲート19、20の各出力はオアゲート22を介しオアゲート23に入力し、またオアゲート23からの出力クロックは通信LSI12の端子TXCK、RXCKに送信用クロックおよび受信用クロックとして与えられている。

【0012】動作

次に、図3のフローチャートおよび図4のタイムチャートを参照し、動作を説明する。

【0013】先ず、送信装置側の動作から説明すると、装置は受信装置からの送信開始時のスタートコードとボーレートメッセージとの受信待ち状態にあり（ステップS1）、そして受信装置からスタートコードとボーレートメッセージとが送られてくると送信装置内のCPU11は、ボーレートメッセージに応じた、例えば信号Aだけを“1”とするデータをデータバス14に出力してラッチ16にラッチさせる。そのためアンドゲート17～20のうちアンドゲート17だけが閉成し、クロックジェネレータ24からの9600ボーのクロックがアンドゲート17、オアゲート21、23を介し通信LSI12の端子TXCK、RXCKに印加される（ステップS2）。なお、このステップS2の通信LSI12の初期設定動作は、受信装置側においても同様である。

【0014】次に、送信装置はデータの送信を開始す *

$$\frac{XOFFC \times VC + XONC \times VC + WOFF}{TXCT \times VC}$$

$$\times 100 \geq 50\% \cdots (1)$$

TXCT×VC

但し、

XOFFC：XOFF信号受信回数

XONC：XON信号受信回数

VC：1キャラクタの送信スピード

WOFF：XOFF～XON間の時間

TXCT：送信トータルキャラクタ数

したがって前記指定とは50%となる。そして50%以上となったときには、それまで送信していたボーレートよりスピードの遅いボーレートのメッセージを受信装置側へ送信し、例えば、いまの例では9600ボーであったから、4800ボーのボーレートを送信し、そのためCPU11は信号Bのみを“1”とするデータをラッチ16に与えてアンドゲート18から4800ボーのクロックを出力させ、送信LSI12に与える処理を送信装置、受信装置とも同時に行う。

【0017】1ファイル分のデータ送信が終了するとステップS3からステップS10に進み、信号EOF（END OF FILE）を送信する。

【0018】前記ステップS3～S8の処理中に、受信装置側から受信データの処理遅れに伴うXOFF信号が送信されてきた場合、送信装置側はその信号を受信し

（ステップS11）、CPU11内のXOFFC（X

＊る。この場合、データは通信LSI12、インターフェース13を介し受信装置側へ送信される。そしてその送信中、送信しているデータファイルが終了したか否かをステップS3にて判断し（END OF FILE）、NOであれば1キャラクタ分送信し（ステップS4）、CPU11が有する送信カウンタ（TXCT）をインクリメントする（ステップS5）。そしてデータファイルの1ブロック分のデータ送信の終了か否かを判断する（ステップS6）。また1ブロック分の送信終了まで、

10 ステップS3～S6を繰返し、1キャラクタ分づつのデータ送信を行う。

【0015】1ブロック分のデータ送信が終ると、ステップS6からS7に進み、1ブロック送信終了コードEOB（END OF BLOCKまたはCR）を送信し（ステップS7）、次いでXOFF信号（転送OFF信号）の発生率が指定値以上か否かの判断処理を行う（ステップS8）。そして指定値以下であればステップS3に戻って次のブロックのデータ送信を再開し、他方、指定値以上であるとボーレートの変更を行い、そのメッセージを受信装置側へ送信する（ステップS9）。そしてステップS2に戻る。

【0016】この場合、前記ステップS8のXOFF信号の発生率の判断は次式によって行う。

【数1】

FFカウンタ）をインクリメントする（ステップS12）。そしてこのデータ送信の一時休止を解除する信号XONの送信待ちとなる（ステップS13）。而してこの間、信号XOFFとXON間の時間WOFFをCPU11内のカウンタによりカウントする。

【0019】次に、受信装置側の動作を説明すると、データ受信の開始に先だち、先ず、所定のボーレートをその設定ファイルから読取り（ステップS14）、ボーレートメッセージとスタートコードとを送信装置へ送信する（ステップS15）。そして自身の通信LSI12にもそのボーレートのクロックを供給開始する（ステップS16）。そして送信データの受信待ちとなる（ステップS17）。次に、ボーレートの切換メッセージの受信の有無を判断し（ステップS18）、而して最初はNOとなるからステップS20に進み、送信データの1キャラクタ分を受信バッファから読取ってキャラクタ変換、エラーチェック等の処理を行う。そして受信バッファの容量をダウンカウントするBFセットカウンタをデクリメントし（ステップS21）、次いでそのカウント値が受信バッファの有効容量以下となり、且つXOFF信号の送信直後か否かを判断する（ステップS22）。而してNOであればステップS23によりXON信号を送信

し、他方、YESであれば直ちにステップS24に進み、EOL（1ブロックのデータ送信の終了）か、或いはまたEOF（1ファイル分のデータ送信の終了）か否かを判断する。そしてYESのときには、ステップS25に進み、NOのときにはステップS26に進む。

【0020】尚、前記受信バッファの有効容量は、その有効長に更に数キャラクタ分の余分の容量をもっている。ステップS25では、FDDへの受信データの書込み処理を行い、またステップS26では、1ファイル分の受信終了か否かを判断する。そしてNOのときにはステップS17に戻り、他方、YESのときにはデータ受信が終了する。

【0021】ステップS18において、ボーレート切換メッセージの受信を判断したときには、あらたなボーレートを設定ファイルへ書込み、またラッチ16に他のデータをラッチさせて通信LSI12への供給クロックを替える（ステップS19）。

【0022】また、データの受信動作は、送信データを1キャラクタ分受信バッファへセットし（ステップS27）、またBFセットカウンタをインクリメントし（ステップS28）、次いでそのカウント値が受信バッファの有効容量以上になったか否かを判断する（ステップS29）。そしてNOのときには次の1キャラクタ分のデータ受信動作に入る一方、YESのときには、XOFF信号を送信装置へ送信して、データ送信の一時休止を要求する。

【0023】

【第2実施例】次に、図5および図6を参照して第2実施例を説明する。この第2実施例は、前記第1実施例がXOFF信号が指定回数より多く発生したときボーレートを変化させたことに対し、受信バッファの容量を変化させようとするものである。

【0024】構成

図5は受信装置側の要部回路構成図を示す。而して送信装置側の要部回路構成は図2と同一である。そして図5と図2の同一構成部には同一番号を付してその説明を省略する。

【0025】図5において、クロックジェネレータ24からの一定周波数のクロック、例えば9600ボーのクロックが通信LSI12のCK端子に供給されている。またRAM26はCPU11によって受信データ等をリ

ード／ライトされるRAMであり、その詳細構成は図6に示すように、通信用バッファ26A、FDD26B等から成る。通信用バッファ26Aは、前記受信バッファであり、送信されてくるデータファイルの容量に対し空きエリアが存在するようにその容量を設定されている。そしてこの通信用バッファ26Aの容量はXOFF信号の発生率に応じてCPU11により可変制御される。

【0026】動作

上記構成により、受信装置のCPU11は、送信装置の11同様に、第1実施例で説明した（1）式の計算をデータ受信の際に実行する。そして、XOFF信号の発生率が指定値以上なら受信装置側のCPU11が、その発生率に応じて通信用バッファ26Aの容量の変更を実行する。これにより、常に、そのときのボーレートに対応した容量の通信用バッファ26Aが用意され、データ受信の効率の向上がはかられる。

【0027】

【発明の効果】以上説明したように、本発明は、例えば受信側でのデータ処理の遅れ等によって発生する送信データの送信一時休止状態の発生をカウントしてそのカウント結果に応じ、受信側のバッファの容量を可変制御するようにしたデータ通信装置であるから、最適な送信スピードでデータの送信が行われ、また受信側でも無駄な休止状態もなく受信を行うことができ、したがって効率よくデータ通信の送受信が行える利点がある。

【図面の簡単な説明】

【図1】本発明の機能ブロック図。

【図2】要部の回路構成図。

【図3】フローチャート。

【図4】タイムチャート。

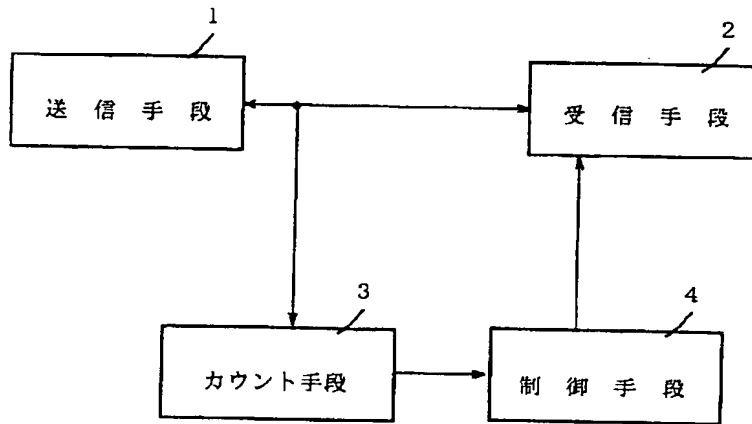
【図5】要部の回路構成図。

【図6】RAM26の具体的構成図。

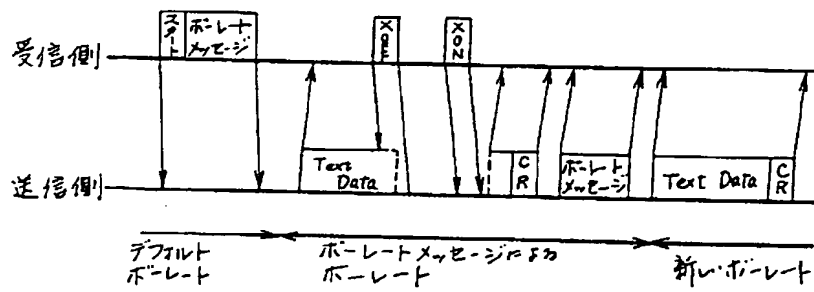
【符号の説明】

11 CPU
12 通信LSI
15 アドレスデコーダ
16 ラッチ
24 クロックジェネレータ
26A 通信用バッファ
26B FDD

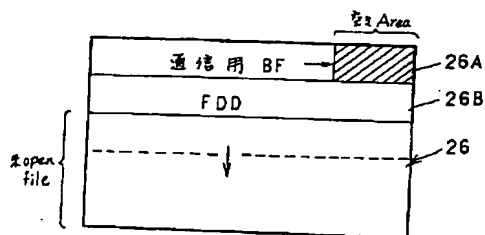
【図1】



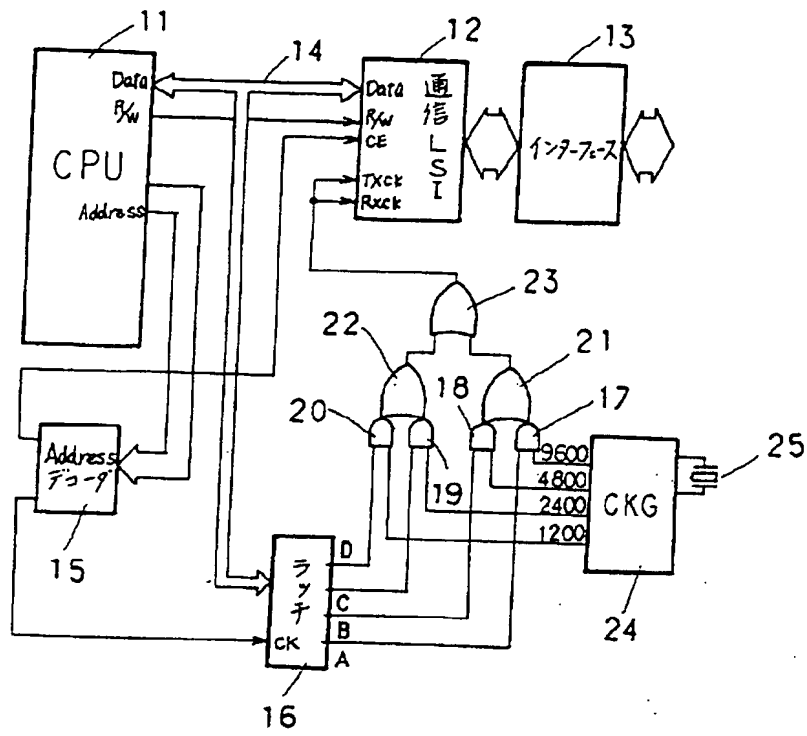
【図4】



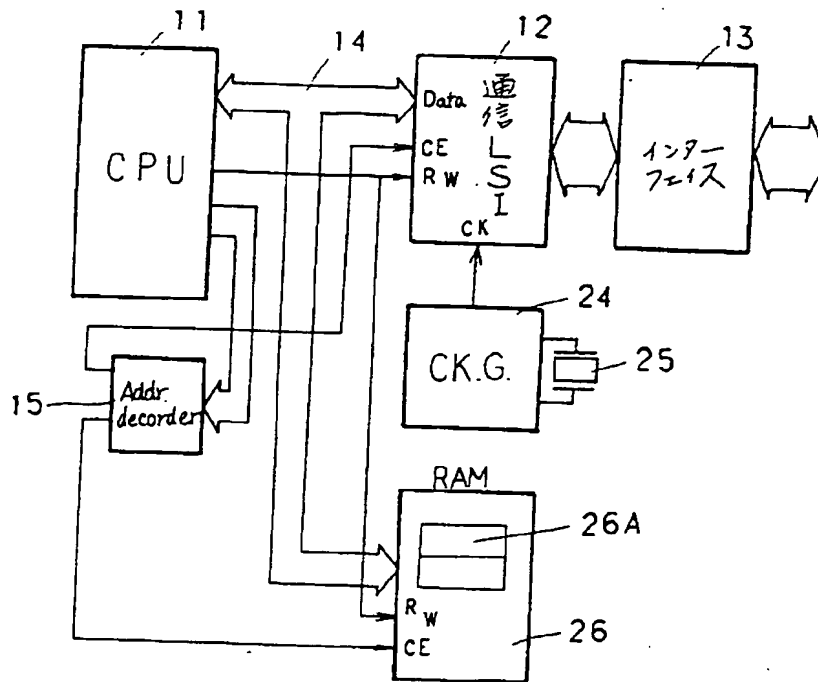
【図6】



【図2】



【図5】



【図3】

